

Verfahren zur optimierten Auswahl, Entwicklung und Datenanalyse von Teststrukturen in Backend-Prozessschritten

Christopher Hess, Larg H. Weiland

Inst. für Rechnerentwurf und Fehlertoleranz (Prof. Dr. D. Schmid), Univ. Karlsruhe, 76128 Karlsruhe

Die zunehmende Komplexität hochintegrierter Schaltungen verlangt mehr und mehr Verdrahtungsebenen, um die einzelnen Schaltungsteile miteinander zu verbinden. Diese Verdrahtungsebenen sind zumeist Metall-Layer und Polysilizium-Layer. Die zur Fertigung dieser Verdrahtungsebenen notwendigen Prozessschritte werden unter dem Begriff "*Backend-Prozeß*" zusammengefaßt. Um diese Prozessschritte zu entwickeln und zu überwachen, sowie um gültige Entwurfsregeln zu erstellen und das Aufkommen von Defekten während der Fertigung zu überprüfen, sind Teststrukturen erforderlich, die hinsichtlich der speziellen Anforderungen vieler übereinander angeordneter Verdrahtungsebenen optimiert sein müssen. Diese Teststrukturen müssen in Test-Chips so angeordnet werden, daß sie die folgenden Bedingungen erfüllen:

- Um zufällige Probleme zuverlässig zu erkennen, ist eine **große defektsensitive Fläche** erforderlich, in der Defekte meßtechnisch erkennbar sind.
- Eine eindeutige **Materialebenenanzuordnung** und **Lokalisierung** von Defekten innerhalb eines Layers ist notwendig, um einerseits zusätzliche optische Untersuchungen der Größe und Form von Defekten zu ermöglichen und andererseits eine Verbindung zu defektverursachenden Prozessschritten herzuleiten.

Dieser Beitrag stellt zunächst Verfahren vor, um die Anordnung verschiedener Teststrukturen innerhalb von Test-Chips zu optimieren (Abschnitt 1). Um diese Test-Chips zu entwerfen und effizient einzusetzen, wird in diesem Beitrag weiterhin folgendes methodisches Vorgehen vorgeschlagen: Zunächst wird ausgehend von gegebenen Problembeschreibungen eine Test-Chip-Anordnung ausgewählt (Abschnitt 2). Anschließend werden die eigentlichen defektsensitiven Teststrukturen dimensioniert und in diese Test-Chips eingesetzt (Abschnitt 3). Nach der Fertigung folgt die Meßwerterfassung und Datenanalyse zur Defektparameterextraktion (Abschnitt 4). Der Beitrag schließt mit experimentellen Ergebnissen (Abschnitt 5) und einer Zusammenfassung (Abschnitt 6).

1 Organisation von Teststrukturen in Test-Chips

Durch elektrische Meßverfahren lassen sich unbeabsichtigte Veränderungen von Spannung, Strom und Widerstand erkennen, die als Fehler bezeichnet werden. Innerhalb der Verdrahtungsebenen spielen dabei Kurzschlüsse und Unterbrechungen eine entscheidende Rolle. Als Ursache dieser Fehler gelten vom Entwurf abweichende geometrische Veränderungen des Layouts, die als Defekte bezeichnet werden. Um entscheiden zu können, ob nun ein Defekt in Form eines zusätzlichen (leitenden oder isolierenden) Materialauftrags oder aber ein Defekt in Form von fehlendem (leitenden oder isolierenden) Material zu einem Kurzschluß oder einer Unterbrechung geführt hat, müssen zusätzlich zu den elektrischen Meßdaten auch Informationen über die Layouts von Teststrukturen berücksichtigt werden.

1.1 Modellierung von Teststrukturen

Inwieweit layoutspezifische Informationen aus dem Design von Teststrukturen zur Identifizierung und Klassifizierung von Defekten herangezogen werden können, läßt sich mit Hilfe der folgenden Modellierung der Teststrukturen bewerten. Dabei werden alle vom Entwurf her beabsichtigten (elektrisch leitend miteinander verbundenen) geometrischen Objekte unter dem Begriff der **Leitungskomponente** zusammengefaßt. Die Tabelle 1 beschreibt die Modelle in Abhängigkeit zu untersuchender Defekte.

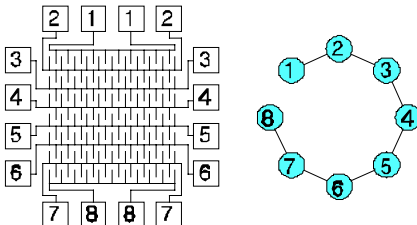
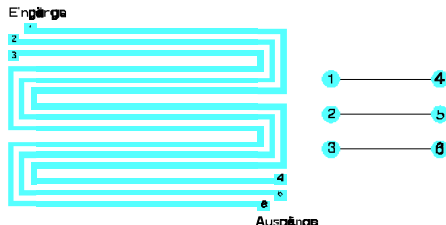
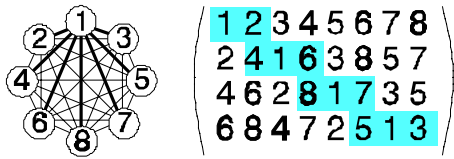
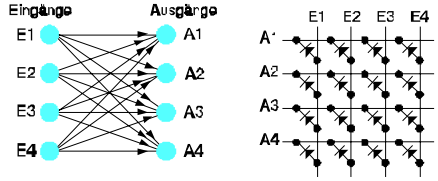
	Teststrukturen zur Diagnose von Defekten, die zu elektrisch meßbaren Kurzschlüssen führen	Teststrukturen zur Diagnose von Defekten, die zu elektrisch meßbaren Unterbrechungen führen
Layout-Objekte	Kämme ([Bueh83], [LYWM86])	Mäanderlinien ([Bueh83], [LYWM86]); Kontakt- und Via-Ketten ([IpSa77])
Modell der Anordnung von Teststrukturen in einem Test-Chip	 <p>Abbildung 1: links: bekannte Test-Chip-Anordnung rechts: Nachbarschaftsgraph (Modell)</p>	 <p>Abbildung 2: links: bekannte Teststruktur rechts: Geometriegraph (Modell)</p>
Knoten des Graphen	Leitungskomponente der Teststruktur: Maximale Menge von Layout-Objekten, die im fehlerfreien Fall elektrisch leitend verbunden sind. (MCC = maximal conductive component)	Zugänglicher Meßpunkt (Pad): Allen Knoten werden zwei disjunkten Teilmengen zugeordnet - Eingangsknoten E und Ausgangsknoten A.
Kanten des Graphen	Paar von Leitungskomponenten, die in der Teststruktur unmittelbar benachbart angeordnet sind. (Zwei Knoten werden durch eine Kante verbunden, wenn die geometrischen Objekte von MCC1 und MCC2 so angeordnet sind, daß zwischen ihnen ausschließlich isolierendes Material liegt.)	Leitend miteinander verbundene geometrische Gebilde zwischen zwei Meßpunkten. (Zwei Knoten werden durch eine Kante verbunden, wenn die beiden Meßpunkte vom Entwurf her durch Layout-Objekte miteinander verbunden sind.)
Ziel einer effizienten Test-Chip Organisation	Ausnutzung aller möglichen Nachbarschaften durch die kreuzungsfreie Anordnung sämtlicher Leitungskomponentenpaare.	Ausnutzung aller Leitungen zwischen Meßpunkten durch die kreuzungsfreie Anordnung aller gerichteten Kanten eines bipartiten Geometriegraphen.
Verfahren	Permutationsverfahren zur Konstruktion einer Matrix, die zeilenweise sämtliche Nachbarschaften genau einmal enthält.	Diodenmatrix
Voraussetzung	Die Anzahl m der Knoten muß gerade sein.	Die Anzahl m der Knoten muß gerade sein.
Beispiel für $m=8$ Leitungskomponenten (MCCs) bzw. Meßpunkte	 <p>Abbildung 3: links: vollständiger Nachbarschaftsgraph rechts: 2D-Matrix (Konstruktion: [Hess93])</p>	 <p>Abbildung 4: links: gerichteter bipartiter Geometriegraph rechts: Diodenmatrix</p>

Tabelle 1: Modellierung von Teststrukturen

1.2 Test-Chip-Anordnungen

Bisher verwendete Anordnungen von Teststrukturen in Test-Chips wie beispielsweise das "2 by N" Pad-Array [Bueh79] verwenden nur einen Bruchteil aller möglichen Kanten der gezeigten Graphen (vgl. Abb. 1 und 2). Im folgenden Abschnitt werden Anordnungen von Teststrukturen innerhalb von Test-Chips vorgestellt, in denen alle möglichen Kanten einmalig implementiert sind, so daß diese zusätzlichen Layout-Informationen zur Trennung und Lokalisierung erkannter Defekte einsetzbar sind.

1.2.1 Karree-Test-Chip (KTC)

Sollen in einem Prozeß mit k Verdrahtungs-Layern ausschließlich Kurzschlußdefekte untersucht werden, so werden die n zur Verfügung stehenden Pads in k disjunkte Teilmengen eingeteilt. Für jede Teilmenge wird danach mit Hilfe des 2D-Permutationsverfahren eine 2D-Matrix erstellt, welche alle möglichen Zahlenpaare einer Teilmenge enthält. Diese 2D-Matrix wird dann zeilenweise in einen Test-Chip übertragen, indem man die Zahlen der einzelnen Matricelemente in vertikale Hauptbahnen transformiert (**Abbildung 5** oben). Diese Hauptbahnen werden so angeordnet, daß zwischen ihnen rechteckige Karrees entstehen, worin die eigentlichen defektsensitiven Kammlinien eingebettet werden (Abbildung 5 unten).

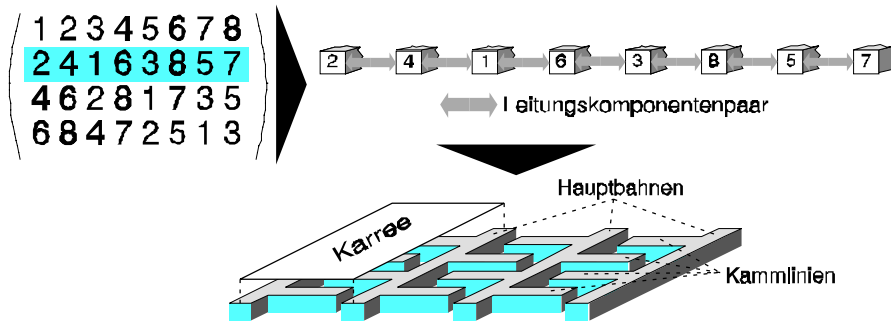


Abbildung 5: Entwurfsprinzip eines Karree-Test-Chips

Dies wird für alle Layer nacheinander durchgeführt, so daß die einzelnen Entwürfe übereinander angeordnet werden. Die Implementierung verschiedener 2D-Matrizen garantiert, daß auch die Nachbarschaften der Hauptbahnen zwischen benachbarten Layern allesamt verschieden sind (**Abbildung 6** links). Alle $\frac{n}{k} \cdot (\frac{n}{k} - 1)$ Karrees werden abschließend in einen Boundary-Pad-Rahmen eingebunden. Die zwischen den Karreezeilen notwendigen Verdrahtungskanäle können automatisch generiert werden, da ihr Aufbau auf nur drei Grundelementen basiert (vgl. [Hess93]). Diese an ein Schachbrett erinnernde Anordnung wird als Karree-Test-Chip (KTC) bezeichnet. Die Abbildung 6 zeigt rechts einen KTC für $m = \frac{n}{k} = 30$, wobei der Verlauf zweier Leitungskomponenten hervorgehoben ist. Lediglich in zwei unmittelbar übereinander liegenden Karrees treffen beide Leitungskomponenten aufeinander. Umgekehrt kann im Fall eines auftretenden Kurzschlusses aus den Nummern der verbundenen Pads auf das Karree geschlossen werden, in dem der verursachende Defekt liegt.

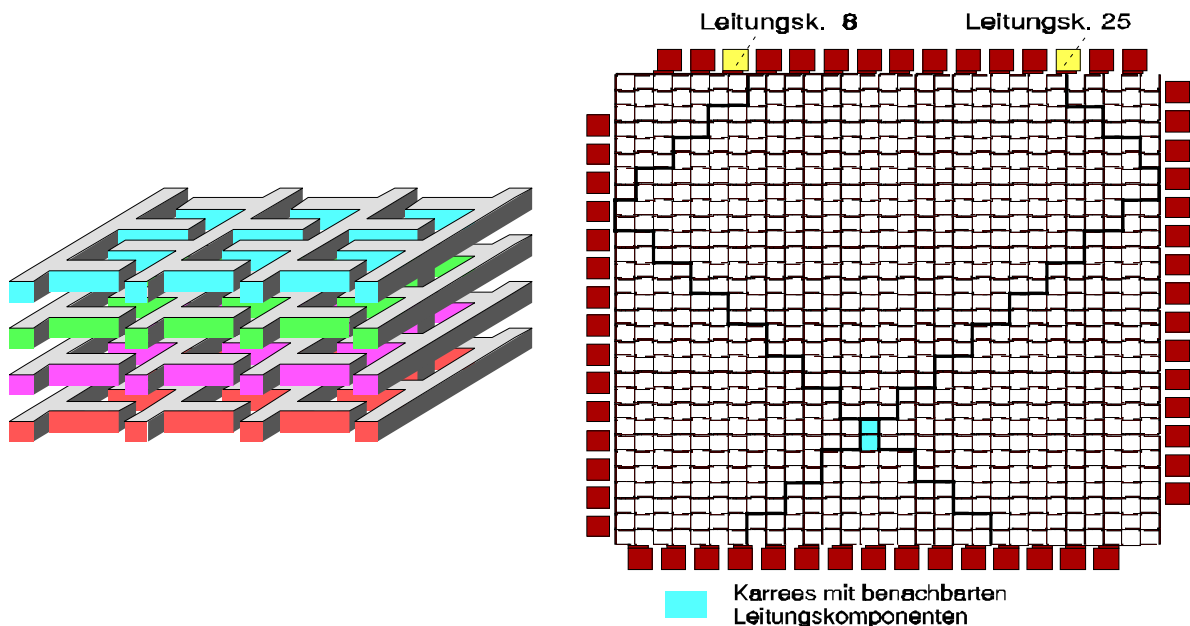


Abbildung 6: links: dreidimensionale Anordnung der Karrees in übereinander liegenden Layern
rechts: Anordnung der Karrees in einem Boundary-Pad-Rahmen

1.2.2 Dioden-Karree-Test-Chip (DKTC)

Stehen zusätzlich zu den eigentlichen Backend-Layern Dioden als primitive Halbleiterbauelemente zur Verfügung, so wird ein Dioden-Karree-Test-Chip (DKTC) zur Untersuchung von Kurzschlüssen und Unterbrechungen eingesetzt. In diesem Fall werden alle zur Verfügung stehenden Anschlüsse von 1 bis n numeriert und in disjunkte Teilmengen mit Eingängen E_i und Ausgängen A_j aufgeteilt. Das Verfahren zur Lokalisierung von Unterbrechungen wird auf die Teilmengen E_i und A_j angewendet, während das Permutationsverfahren zur Lokalisierung der Kurzschlüsse nur auf die Elemente der Teilmenge E_i angewendet wird. Beide Verfahren werden miteinander verknüpft, wie dies in der **Abbildung 7** zu sehen ist. Ausgangspunkt ist eine Diodenmatrix, die zwischen den Eingängen E_i und Ausgängen A_j angeordnet wird (Abb. 7 links). Jede zweite Diodenzeile wird anschließend gespiegelt und nach rechts verschoben (Abb. 7 mitte). Zwischen den auf diese Weise entstehenden Karrees werden abschließend Verdrahtungskanäle eingesetzt, welche die Leitungskomponenten in Abhängigkeit des 2D-Permutationsverfahrens vertauschen.

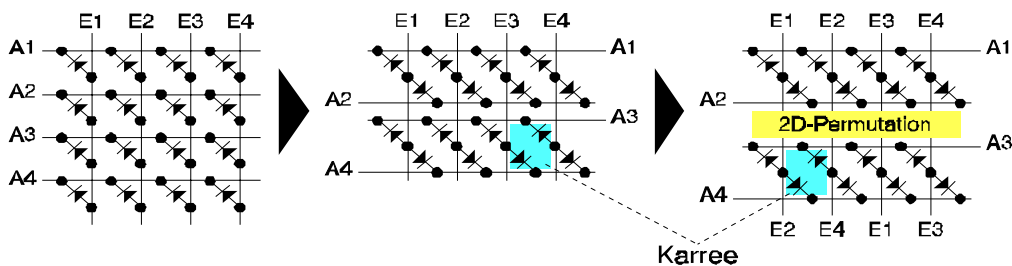


Abbildung 7: Entwurfsprinzip eines Dioden-Karree-Test-Chips

Die folgende **Abbildung 8** zeigt links eine Detailzeichnung von sechs Karrees die jeweils zwei mäanderförmige Bahnen enthalten. Diese Bahnen können auch als Via- oder Kontaktketten implementiert werden. Für $m=2$ Ein- und Ausgänge stehen so insgesamt m^2-m wohlunterscheidbare Bahnen zur Verfügung. Schließlich werden alle $\frac{1}{2} \cdot m \cdot (m-1)$ Karrees innerhalb eines Boundary-Pad-Rahmens angeordnet, wie dies in der Abbildung 8 rechts zu sehen ist.

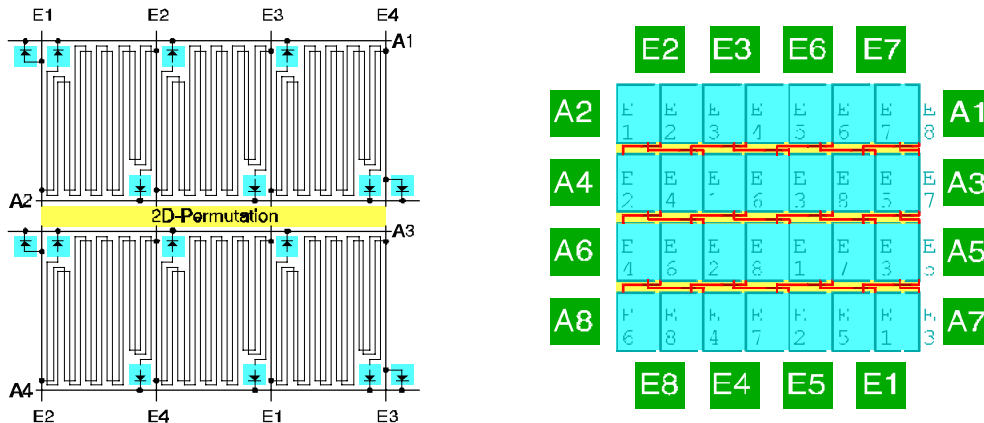
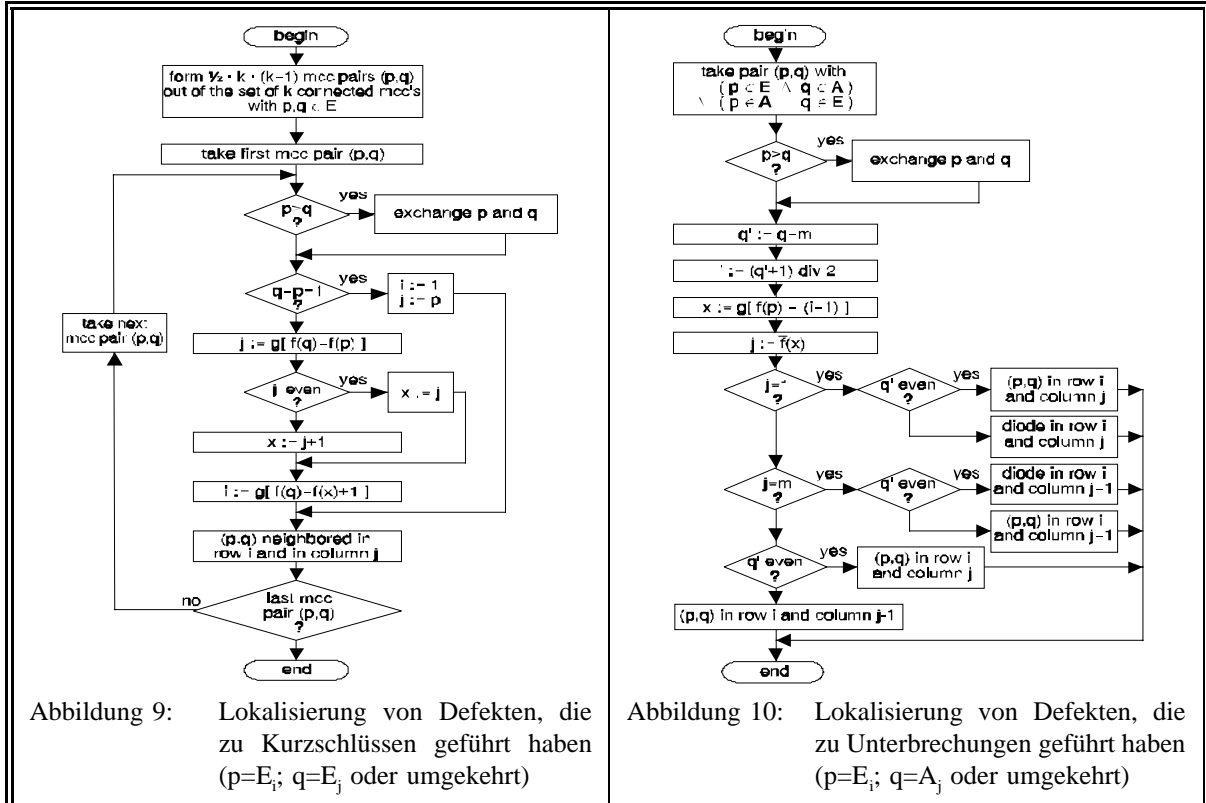


Abbildung 8: links: Anordnung von Teststrukturbahnen in Karrees
rechts: Anordnung der Karrees in einem Boundary-Pad-Rahmen

1.2.2.1 Lokalisierungsalgorithmen am Beispiel eines DKTCs

Die Algorithmen zur Lokalisierung von Defekten werden im folgenden an Hand eines DKTCs vorgestellt. Zunächst muß man prüfen, welche Leitungskomponenten fehlerhaft sind. Tritt eine zusätzliche Verbindung zweier Elemente E_i und E_j auf, so wird mit Hilfe des Flußdiagramms der **Abbildung 9** ($E_i, E_j \in \{1, 2, \dots, m\}$) das Karree bestimmt, in dem zwei Mäanderlinie durch einen Defekt miteinander verbunden wurden. Fehlt hingegen eine Verbindung zwischen einem Eingang E_i und

einem Ausgang A_j , so wird mit Hilfe des Flußdiagramms der **Abbildung 10** ($E_i \in \{1, 2, \dots, m\}$; $A_j \in \{m+1, m+2, \dots, n\}$) das Karree bestimmt, in dem sich die unterbrochene Mäanderlinie befindet. Die Algorithmen zur Lokalisierung von Defekten innerhalb eines KTCs können [HeSt94] entnommen werden.



$f(j) := \begin{cases} \frac{j}{2} & \text{für } \frac{j}{2} \in \mathbb{N} \quad \text{mit } 2 \leq j \leq m \\ m - \left\lfloor \frac{j-1}{2} \right\rfloor & \text{für } \frac{j+1}{2} \in \mathbb{N} \quad \text{mit } 1 \leq j \leq m-1 \end{cases} \quad (1)$
$g(x) := \begin{cases} [(x-1) \bmod m] + 1 & \text{für } x \in \mathbb{Z} \quad \text{mit } x > 0 \\ [x \bmod m] + m & \text{für } x \in \mathbb{Z} \quad \text{mit } x \leq 0 \end{cases} \quad (2)$
$\bar{f}(\zeta') := \begin{cases} 2 \cdot \zeta' & \text{für } \zeta' \in \mathbb{N} \quad \text{mit } 1 \leq \zeta' \leq \frac{m}{2} \\ (m - \zeta') \cdot 2 + 1 & \text{für } \zeta' \in \mathbb{N} \quad \text{mit } \frac{m}{2} + 1 \leq \zeta' \leq m \end{cases} \quad (3)$

Tabelle 2: Lokalisierung von Defekten in einem Dioden-Karree-Test-Chip

2 Auswahlkriterien

Zur effizienten Entwicklung eines Test-Chips für Backend-Prozessschritte, muß zunächst ausgehend von gegebenen Methoden der Meßwerterfassung (elektrisch bzw. optisch) und den zu untersuchenden Problemen (Defekt- und Fehlerbeschreibungen) eine geeignete Test-Chip-Organisation ausgewählt werden. Die folgende Tabelle gibt dazu verschiedene Anhaltspunkte, wobei die Meßverfahren spaltenweise und die Problemstellungen zeilenweise aufgestellt sind.

zu untersuchende Defektparameter	elektrische Meßwerterfassung		optische Meßwerterfassung
	Kurzschlüsse	Unterbrechungen	
Typ (zusätzliches oder fehlendes Material)	KTC / DKTC	DKTC	
Layer	KTC / DKTC	DKTC	
Position innerhalb der Chip-Fläche	KTC / DKTC	DKTC	
Größe		DKTC	KTC / DKTC
Form, Umriß			KTC / DKTC
topographischer Einfluß von Strukturen in tieferliegenden Layern	KTC / DKTC	DKTC	
systematische Probleme oder zufällige Defekte	KTC / DKTC	DKTC	KTC / DKTC
prozeßschrittsspezifische Ursachen			KTC / DKTC
prozeßspezifische Defektmechanismen: (Antwort auf die Frage: Welcher Prozeßschritt ist für den erkannten Defekt verantwortlich?)			KTC / DKTC
layoutspezifische Fehlermechanismen: (Antwort auf die Frage: Müssen existierende Design Rules geändert werden?)	KTC / DKTC	DKTC	KTC / DKTC

Tabelle 3: Auswahl von Test-Chip-Anordnungen in Abhängigkeit der Defektparameter und Meßverfahren

3 Dimensionierung von Teststrukturen

Zur Untersuchung von Kurzschlüssen und Unterbrechungen finden nur wenige geometrische Grundstrukturen wie beispielsweise *Mäander*, *Kämme*, *Kontakt-* und *Via-Ketten* Anwendung [IpSa77], [Bueh83], [LYWM86]. So werden für die Untersuchung von Defekten, die Unterbrechungen verursachen, mehrere, verschieden dimensionierte, Teststrukturen (5 bis 10) verwendet. Teststrukturen einer Dimensionierung bedecken damit zwar nur eine relativ kleine Fläche des Test-Chips, wodurch die statistische Signifikanz der gemessenen Daten sinkt. Jedoch wirken sich systematische Probleme auch nur auf einen kleinen Bereich eines Test-Chips aus. Ferner reichen elektrische Messungen aus, um eine Defektgrößenverteilung anhand der geometrischen Layout-Informationen der betroffenen Teststrukturen zu erstellen.

Im Gegensatz hierzu werden bei der Untersuchung von Defekten, die Kurzschlüsse verursachen, nur wenige verschiedene Dimensionierungen (1 bis 3) gewählt. Die gesamte defektsensitive Fläche enthält damit ähnlich dimensionierte Teststrukturen, was zu einer Erhöhung der Signifikanz der gemessenen Daten führt. Treten hier jedoch systematische Probleme auf, so wird ein verhältnismäßig großer Teil der Meßwerte unbrauchbar. Außerdem kann eine Defektgrößenverteilung nur mit optischen Hilfsmitteln bestimmt werden.

Bei der Dimensionierung von Teststrukturen ist daher ein Mittelweg zwischen dem Nachweis von Defekten sehr kleiner Ausdehnungen und dem Ausschluß systematischer Probleme anzustreben. Die folgende Abbildung zeigt links die Wahrscheinlichkeit, daß ein Defekt in Abhängigkeit seiner Ausdehnung einen Fehler verursacht [Ferr85]. Um alle Defekte, die einen Fehler verursachen, nachzuweisen, müßten Teststrukturen unterhalb gültiger Design Rules dimensioniert werden (vgl. Abb. 11 rechts). Diese deutliche Unterschreitung führt jedoch zu massiven systematischen Problemen, da die Auflösung dieser Strukturen nicht mehr gewährleistet ist. Daher ist es sinnvoller, bestehende Design Rules nur geringfügig zu unterschreiten und gemessene Daten anhand der Fehlerwahrscheinlichkeiten zu gewichten.

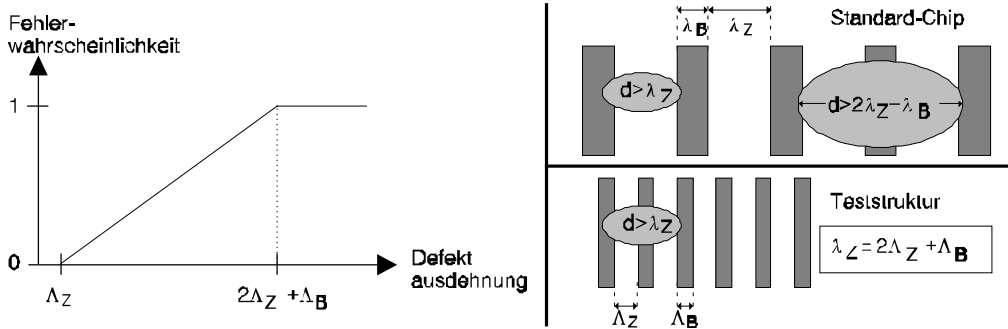


Abbildung 11: Vergleich von Entwurfsregeln und Fehlerwahrscheinlichkeiten

Um Teststrukturen mit verschiedenen Dimensionierungen zu implementieren, legt man für die Linienbreiten oder Linienzwischenräume einen Startwert α und einen Endwert β fest. Ferner wird auch die Anzahl k der Variationen (Anzahl der unterschiedlichen Dimensionierungen) vorgegeben. Die Schrittweite sollte logarithmisch variieren, um so im gesamten Schrittintervall zwischen α und β den im allgemeinen nichtlinearen Defektgrößen und -dichteverlauf [Stap83] zu berücksichtigen. Die einzelnen Abmessungen λ_i der Zwischenschritte berechnen sich dann nach folgender Gleichung:

$$\lambda_i = \alpha \cdot \sqrt[k-1]{\frac{\beta}{\alpha}}^i \quad \text{für } i \in \mathbb{N} \quad \text{mit } 0 \leq i < k \quad (4)$$

4 Meßwerterfassung und Datenanalyse

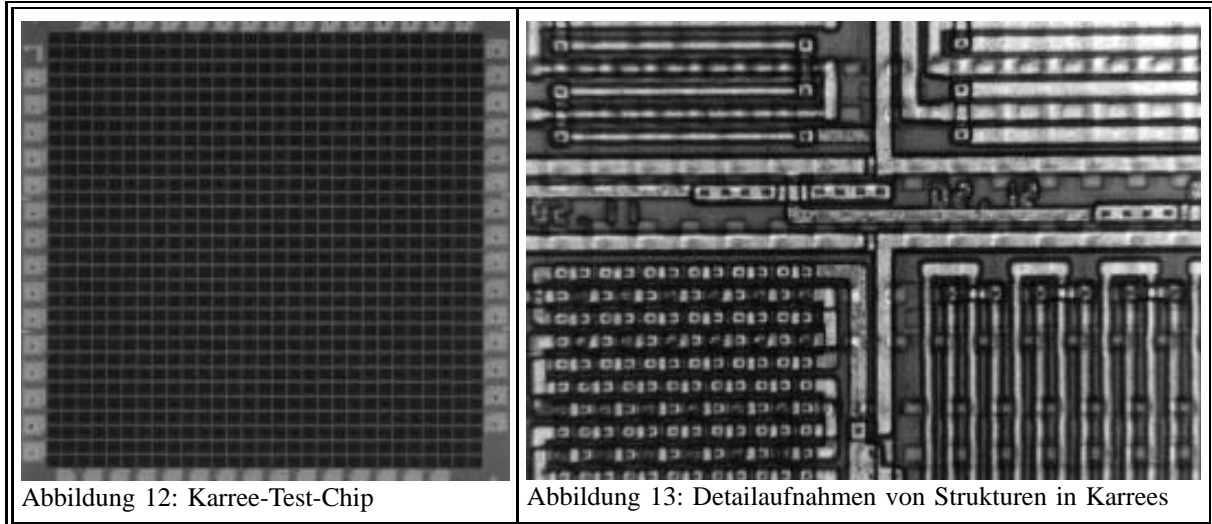
Um eine effiziente und produktionsbegleitende Defektdiagnose und Analyse in Prozessen zur Herstellung hochintegrierter Schaltungen zu erzielen, müssen Teststrukturen parallel zu Standard-Chip gefertigt werden und mit den selben Meßapparaturen ausgewertet werden. Die daher notwendige digitale Meßwerterfassung hat den prinzipiellen Vorteil, schnell und speicherplatzsparend zu sein, da einerseits höhere Meßfrequenzen verwendet werden als bei analogen 2- oder 4-Punkt-Messungen und andererseits pro gemessenem Wert (Datum) nur ein Bit Information anfällt. Binäre Meßdaten ermöglichen ferner eine effiziente Datenanalyse, da sie einfacher vergleichbar sind als analoge Meßdaten. Dazu muß die duale Information des Digitaltesters ("0" oder "1") in die duale Information "Defekt Ja oder Nein" überführt werden, was durch die gezielte Anpassung der Schwellenspannung eines Digitaltesters an die Teststrukturen erreicht wird. Die folgende Tabelle zeigt diesen Zusammenhang. Die Analyse elektrisch gemessener Daten liefert eine Aufstellung erkannter Defekte (vgl. [HeWe94]), die mit Hilfe der Lokalisierungsalgorithmen einer weiterführenden, optischen Parameterextraktion unterzogen werden können.

Gemessene Spannung	Logischer Pegel	Kurzschluß	Unterbrechung
$U_{\text{Mess}} \geq U_{\text{Schwelle}}$	"1"	Defekt	kein Defekt
$U_{\text{Mess}} < U_{\text{Schwelle}}$	"0"	kein Defekt	Defekt

Tabelle 4: Datenkonversion

5 Experimentelle Ergebnisse

Mehrere verschiedene Test-Chips, die geometrische Strukturen in 2 bis 4 Verdrahtungsebenen enthalten, sind bisher gefertigt worden, um die vorgestellten Verfahren zur Erkennung und Lokalisierung von Defekten zu validieren. Die **Abbildung 12** zeigt einen Karree-Test-Chip mit 60 Boundary-Pads. Trotz der beschränkten Anzahl der Anschlüsse sind innerhalb des Test-Chips insgesamt 870 wohlunterscheidbare Karrees mit je 2 Verdrahtungsebenen implementiert worden, innerhalb derer auftretende Defekte zuverlässig erkennbar sind. Die **Abbildung 13** zeigt Detailaufnahmen von Teststrukturen (Mäanderbahnen und Via-Ketten) in einem Dioden-Karree-Test-Chip.



Die folgende Tabelle gibt einen kleinen Einblick in eine mögliche Defektparameterextraktion und Defektursachenbestimmung. Die Abbildung zeigt links einen Oxyd-Defekt, der aufgrund eines Kristallfehlers entstanden ist. Die Abbildung rechts zeigt den selben Defekt mit einer anderen Fokussierung, woran man erkennt, daß sich der Defekt auch nach oben ausdehnt. Als Folge dieser Ausdehnung nach oben, wurde ein Defekt in Form eines zusätzlichen Materialauftrags in der obersten Metallisierungslage gebildet, der schließlich zu einem elektrisch meßbaren Kurzschluß geführt hat.

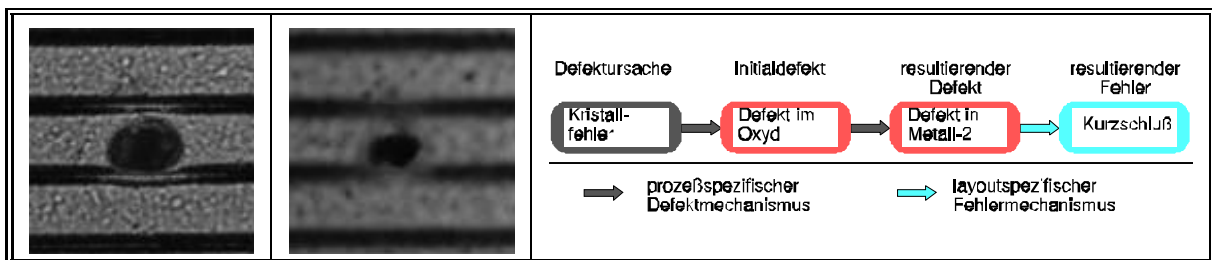


Tabelle 5: Erkannte Defekte innerhalb eines Karrees eines KTCs

6 Zusammenfassung

Die beschriebenen Verfahren, um Teststrukturen innerhalb von Boundary-Pads anzuordnen, ermöglichen eine effiziente Untersuchung von Defekten, die in Backend-Prozessschritten zu Kurzschlüssen und Unterbrechungen führen. Die Tabelle 6 enthält Vor- und Nachteile verschiedener Methoden zur Organisation von Test-Chips. Einzig die Verwendung von Permutationsverfahren in KTCs und DKTCs ermöglicht eine präzise Problemlokalisierung innerhalb großer defektsensitiver Flächen. Probleme, die zu Kurzschlüssen führen, sind zudem ohne den Einsatz aktiver Bauelemente erkennbar. Probleme, die zu Unterbrechungen führen, erfordern lediglich Dioden, die aber beispielsweise bei der Personalisierung von Gate Arrays ohnehin in Form von Drain-Kanal-Dioden vorhanden sind. Der regelmäßig strukturierte Aufbau der Karree-Test-Chips und die digitale Meßwerterfassung ermöglichen einen automatisierten Chip-Entwurf und eine effiziente Datenanalyse in 4 Schritten:

1. Auswahl einer Test-Chip-Organisation in Abhängigkeit der Abfolge verschiedener Prozessschritte, zu untersuchender Fehler und gegebener Verfahren der Meßwerterfassung
2. Auswahl und Dimensionierung der defektsensitive Teststrukturen in Abhängigkeit von Design Rules und der erwarteten Ausdehnung auftretender Defekte
3. Rechnergestützte Generierung von Test-Chips für gegebene Layer-Konfigurationen und Boundary-Pad-Rahmen
4. Fertigung, Meßwerterfassung und rechnergestützte Datenanalyse zur Parameterextraktion

		Test-Chip-Organisation		
		"2 by N"	Pad-Rahmen	KTC & DKTC Pad-Rahmen
Anteil der Fläche für Pads in Bezug auf die gesamte Chip-Fläche		> 60 %	< 15 %	< 15 %
Anteil der Fläche für defektsensitive Teststrukturen in Bezug auf die verbleibende Chip-Fläche ohne Pads		50 - 90 %	> 80 %	> 90 %
-> Relativer Anteil der Fläche für defektsensitive Teststrukturen		20 - 36 %	> 68 %	> 76,5 %
Erkennung von zufälligen Defekten		nein	ja	ja
Erkennung von systematischen Problemen		ja	ja	ja
Erkennung und Lokalisierung von Problemen und Defekten	ohne aktive Halbleiterbauelemente	Unterbrechungen & Kurzschlüsse: Verwendung sehr vieler Pads	nicht möglich	Kurzschlüsse: Verwendung der Permutationsverfahren
	mit aktiven Halbleiterbauelementen		Unterbrechungen & Kurzschlüsse: Verwendung von Dekodern, Multiplexern, Transistoren	Unterbrechungen: Verwendung von Dioden

Tabelle 6: Eigenschaften verschiedener Verfahren zur Organisation von Test-Chips

Literaturhinweise

- [Bueh79] Buehler, M. G.
Comprehensive Test Patterns with Modular Test Structures: The "2 by N" Probe-Pad Array Approach
Solid State Technology, October 1979
- [Bueh83] Buehler, M. G.
Microelectronic Test Chips for VLSI Electronics
VLSI Electronics Microstructure Science, Vol 9, Chap.9, Academic Press, 1983
- [Ferr85] Ferris Prabhu, A. V.
Modeling the Critical Area in Yield Forecasts
IEEE Journal of Solid-State Circuits, Vol. SC-20, No. 4, August 1985
- [Hess93] Hess, C.
Teststrukturen zur effizienten produktionsbegleitenden Defektdiagnose und -analyse
GME-Fachtagung, Dresden, S. 485-490, 1993
- [HeSt94] Hess, C., Ströle, A.
Modeling of Real Defect Outlines and Defect Parameter Extraction Using a Checkerboard Test Structure to Localize Defects
IEEE Transactions of Semiconductor Manufacturing, Vol. 7, No. 3, 1994
- [HeWe94] Hess, C., Weiland, L. H.
Modeling of Test Structures for Efficient Online Defect Monitoring Using a Digital Tester
International Conference on Microelectronic Test Structures, San Diego, 1994
- [IpSa77] Ipri, A. C., Sarace, J. C.
Integrated Circuit Process and Design Rule Evaluation Techniques
RCA Review, Volume 38, Number 3, September 1977
- [LYWM86] Lukaszek, W., Yarbrough, W., Walker, T., Meindl J.
CMOS Test Chip Design for Process Problem Debugging and Yield Prediction Experiments
Solid State Technology, March 1986
- [Stap83] Stapper, C. H.
Modeling of Integrated Circuit Defect Sensitivities
IBM J. Res. Develop., Vol. 27, No. 6, November 1983